

(19)日本国特許庁 (JP)

(12) 特許公報 (B2)

(11)特許番号

第2971006号

(45)発行日 平成11年(1999)11月2日

(24)登録日 平成11年(1999)8月27日

(51)Int.Cl.⁶

H 04 L 29/08

5/14

識別記号

F 1

H 04 L 13/00

3 0 7 Z

5/14

請求項の数3(全10頁)

(21)出願番号 特願平7-63743

(22)出願日 平成7年(1995)3月23日

(65)公開番号 特開平8-265393

(43)公開日 平成8年(1996)10月11日

審査請求日 平成9年(1997)7月30日

(73)特許権者 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番
28号

(72)発明者 鈴木浩

東京都千代田区内幸町2丁目2番3号

川崎製鉄株式会社東京本社内

(74)代理人 弁理士 渡辺 望穂(外1名)

審査官 江島 清仁

(56)参考文献 特開 昭63-87048 (JP, A)

特開 昭54-24506 (JP, A)

特開 平2-270444 (JP, A)

特開 昭63-292747 (JP, A)

特開 平2-75249 (JP, A)

最終頁に続く

(54)【発明の名称】シリアル通信方法およびシリアル通信コントローラ

1

(57)【特許請求の範囲】

【請求項1】少なくとも1つの受信用バッファおよび少なくとも1つの送信用バッファを備えるシリアル通信コントローラにおいて、

全二重通信の送受信時に、前記受信用および送信用バッファをそれぞれ受信用および送信用バッファとして使用し、半二重通信の受信時に、前記受信用および送信用バッファをともに受信用バッファとして使用し、前記半二重通信の送信時に、前記受信用および送信用バッファをともに送信用バッファとして使用することを特徴とするシリアル通信方法。

【請求項2】少なくとも1つの受信用バッファを有し、シリアルデータを受信してパラレルデータに変換し、このパラレルデータを前記受信用バッファに保持する受信部と、少なくとも1つの送信用バッファを有し、送信し

10

2

ようとするパラレルデータを前記送信用バッファに保持し、このパラレルデータをシリアルデータに変換して送信する送信部と、制御信号により通信方式を全二重通信または半二重通信に切り換える、前記全二重通信の送受信時に、前記受信用および送信用バッファをそれぞれ受信用および送信用バッファとして使用し、前記半二重通信の受信時に、前記受信用および送信用バッファをともに受信用バッファとして使用し、前記半二重通信の送信時に、前記受信用および送信用バッファをともに送信用バッファとして使用するよう設定する切換え手段を備えることを特徴とするシリアル通信コントローラ。

【請求項3】前記切換え手段を制御する制御信号は、外部端子から入力される信号または内部制御レジスタから出力される信号である請求項2に記載のシリアル通信コントローラ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、シリアル通信を制御するシリアル通信方法およびシリアル通信コントローラに関する、詳しくは、半二重通信を行う際に、受信用および送信用バッファをともに受信用または送信用バッファとして使用することができるシリアル通信方法およびシリアル通信コントローラに関する。

【0002】

【従来の技術】一般的に、シリアル通信には全二重通信および半二重通信の2つの通信方式がある。ここで、全二重通信とは、送信および受信を同時に使う通信方式であり、半二重通信とは、送信または受信のいずれか一方だけを同時に使う通信方式である。以下に、シリアル通信を制御するシリアル通信コントローラについて説明する。

【0003】図5は、従来のシリアル通信コントローラの一例のブロック図である。このシリアル通信コントローラ60は、外部CPU(中央演算装置)とシリアル通信コントローラ60の内部回路とのデータのやり取りを制御するCPUインターフェース16と、シリアルデータである受信データをパラレルデータに変換する受信用シフトレジスタ12と、この受信用シフトレジスタ12から出力されるパラレルデータを一時的に保持する受信用バッファ14a、14b、…、14nと、CPUから入力されるパラレルデータを一時的に保持する送信用バッファ18a、18b、…、18nと、この送信用バッファ18a～18nから読み出されるパラレルデータを変換してシリアルデータである送信データとして出力する送信用シフトレジスタ20とから構成されている。

【0004】次に、このシリアル通信コントローラ60の動作について説明する。まず、受信において、受信用シフトレジスタ12により、シリアルデータである受信データはシリアル→パラレル変換されてパラレルデータとして出力され、受信用バッファ14a～14nに順次保持される。ここで、受信用バッファ14a～14nに保持することができる最大個数、例えば4個のパラレルデータが保持された場合、CPUインターフェース16からCPUに対して、受信データの読み出しを要求する割り込み要求信号INTが出力される。CPUは割り込み要求信号INTを受け取ると、メインルーチンから割り込みルーチンへ分岐し、読み出し信号RD_をアクティブ状態にして、受信用バッファ14a～14nに保持されているパラレルデータを保持された順番に応じて、内部データバス、CPUインターフェース16および外部データバスを通して順次読み出した後、再度メインルーチンへ復帰する。このようにして受信データはCPUによって読み出される。

【0005】また、送信において、CPUはメインルーチンから割り込みルーチンへ分岐し、書き込み信号WR

ーをアクティブ状態にして、外部データバス、CPUインターフェース16および内部データバスを通して、送信用バッファ18a～18nに保持することができる最大個数、例えば4個のパラレルデータを順次送信用バッファ18a～18nに書き込んだ後、再度メインルーチンへ復帰する。送信用バッファ18a～18nに書き込まれたパラレルデータは、書き込まれた順番に応じて順次読み出され、送信用シフトレジスタ20によりパラレル→シリアル変換されてシリアルデータである送信データとして出力される。ここで、送信用バッファ18a～18nに書き込まれた全てのパラレルデータが読み出された場合、CPUインターフェース16からCPUに対して、次のパラレルデータの書き込みを要求する割り込み要求信号INTが出力される。このようにして送信データは送信される。

【0006】このシリアル通信コントローラ60は全二重通信に対応して設計されているため、受信および送信は同時に独立して動作させることができる。なお、全二重通信において、一時に必ず送信または受信のいずれか一方だけを行うようにすることにより、半二重通信にも対応することができる。

【0007】ところで、上述するシリアル通信コントローラ60において、受信用バッファ14a～14nおよび送信用バッファ18a～18nはそれぞれ少なくとも1個、好ましくはそれ複数個設けられる。その理由の1つは、CPUに頻繁に割り込み要求信号INTが出力されるのを防止するためである。

【0008】例えば、受信用バッファおよび送信用バッファが8ビットを1つの単位とするパラレルデータを保持するものであり、それぞれ1個の受信用バッファおよび送信用バッファしか備えていないと仮定する。この場合、8ビットの受信データを受信してこれが受信用バッファに保持される毎に、CPUに対して受信データの読み出しを要求する割り込み要求信号INTが出力されることになる。また、CPUから1つのパラレルデータが送信用バッファに書き込まれると、これが読み出される毎に、CPUに対して次のパラレルデータの書き込みを要求する割り込み要求信号INTが出力されることになる。

【0009】このように、受信用および送信用バッファの個数が少ないほど、CPUに対して頻繁に受信データの読み出しや送信データの書き込みを要求する割り込み要求信号INTが出力されることになる。このため、CPUは割り込みルーチンの処理に多くの時間を取られてしまい、メインルーチンの処理に充分な時間が避けなくなってしまうという問題点が発生する。

【0010】これに対し、例えばそれぞれ4個の受信用バッファおよび送信用バッファを備えていると仮定する。この場合、4個の受信用バッファの全てにパラレルデータが保持されるまで、即ち、32ビットの受信データ

5

タが受信されるまで、CPUに対して受信データの読み出しを要求する割り込み要求信号INTが出力されない。また、CPUから4つのパラレルデータが送信用バッファに書き込まれ、これらが全て読み出されるまで、即ち、32ビットの送信データが読み出されるまで、CPUに対して次のパラレルデータの書き込みを要求する割り込み要求信号INTが出力されない。

【0011】このように、n個の受信用バッファおよびn個の送信用バッファを備えることにより、CPUに対して割り込み要求信号INTが出力される回数を $1/n$ にすることができる。このため、割り込みルーチンの処理によるオーバヘッドを削減することができ、CPUを効率良く使用することができる。

【0012】また、複数個の受信用および送信用バッファを備えるもう1つの理由は、高速な通信レートに対応するためである。

【0013】上述するように、受信データが受信用バッファに保持され、受信データの読み出しを要求する割り込み要求信号INTがCPUに対して出力されると、CPUにより受信用バッファに保持されている受信データが読み出される。しかしながら、受信用バッファの個数が少なくかつ通信レートが高速な場合、CPUが受信バッファに保持されている受信データを読み出す前に、次の受信データが受信用バッファに上書きされてしまい、上書きされる前の受信データが消失してしまうという、いわゆる受信オーバランエラーが発生する。

【0014】一方、送信データを送信用バッファに書き込む場合にも、送信用バッファの個数が少なくかつ通信レートが高速な場合、割り込みルーチンの処理によるオーバヘッドのために送信データの書き込みが間に合わなくななり、シリアル通信コントローラから出力される送信データが途中で途切れてしまうという、いわゆる送信アンダランエラーが発生する。

【0015】これらの問題を解決するためにも受信用および送信用バッファの個数を多くすることが有効である。このように、複数個の受信用バッファを備えることにより、高速な通信レートにも対応することができるようになる。このため、できるだけ多くの受信用バッファおよび送信用バッファを備えるのが好ましいことは言うまでもないことである。

【0016】しかしながら、複数個の受信用および送信用バッファを備えるためには、当然のことながらハードウェアの規模が増大する。このため、これらの受信用および送信用バッファの個数を増加させる毎にゲート数(トランジスタ数)が増大し、そのレイアウト面積も増大するという問題点がある。

【0017】また、既に述べたように、シリアル通信コントローラのハードウェアは全二重通信に対応しているにもかかわらず、受信データのエラー確認を行ってから、送信データを出力するように設計されているものが

6

多い。このため、現実的には、シリアル通信コントローラは半二重通信で使用されている場合がかなり多い。例えば、モデルでは全二重通信が用いられているが、FAXモデルやLAN(Local Area Network)全般、パソコン用コンピュータと周辺機器との接続などにおいては半二重通信が用いられている。

【0018】従来より、ハードウェア的に全二重通信に対応しているシリアル通信コントローラを、ソフトウェア的に半二重通信で使用している場合が多いため、受信10の時は送信用バッファが全く使用されておらず、逆に、送信の時は受信用バッファが全く使用されていなかつた。このため、受信用または送信用バッファのいずれか全てが無駄になるという問題点もあった。

【0019】

【発明が解決しようとする課題】本発明の目的は、前記従来技術に基づく種々の問題点をかえりみて、ハードウェア規模を増大させることなく高速な通信レートに対応することができ、比較的通信レートが低速な場合であっても割り込み処理によるオーバヘッドを削減することができるシリアル通信方法およびシリアル通信コントローラを提供することにある。

【0020】

【課題を解決するための手段】上記目的を達成するため、本発明は、少なくとも1つの受信用バッファおよび少なくとも1つの送信用バッファを備えるシリアル通信コントローラにおいて、全二重通信の送受信時に、前記受信用および送信用バッファをそれぞれ受信用および送信用バッファとして使用し、半二重通信の受信時に、前記受信用および送信用バッファとともに受信用バッファとして使用し、前記半二重通信の送信時に、前記受信用および送信用バッファとともに送信用バッファとして使用することを特徴とするシリアル通信方法を提供するものである。

【0021】また、本発明は、少なくとも1つの受信用バッファを有し、シリアルデータを受信してパラレルデータに変換し、このパラレルデータを前記受信用バッファに保持する受信部と、少なくとも1つの送信用バッファを有し、送信しようとするパラレルデータを前記送信用バッファに保持し、このパラレルデータをシリアルデータに変換して送信する送信部と、制御信号により通信方式を全二重通信または半二重通信に切り換える、前記全二重通信の送受信時に、前記受信用および送信用バッファをそれぞれ受信用および送信用バッファとして使用し、前記半二重通信の受信時に、前記受信用および送信用バッファとともに受信用バッファとして使用し、前記半二重通信の送信時に、前記受信用および送信用バッファとともに送信用バッファとして使用するよう設定する切換手段を備えることを特徴とするシリアル通信コントローラを提供するものである。

【0022】ここで、前記切換手段を制御する制御信

号は、外部端子から入力される信号または内部制御レジスタから出力される信号であるのが好ましい。

【0023】

【発明の作用】本発明のシリアル通信コントローラは、制御信号により、通信方式を全二重通信または半二重通信に切り換える切換え手段を備えるものである。また、本発明のシリアル通信方法においては、全二重通信により受信および送信を同時に行う場合、受信用バッファは受信用バッファとして使用され、同様に、送信用バッファは送信用バッファとして使用される。一方、半二重通信により受信を行う場合、受信用バッファおよび送信用バッファはともに受信用バッファとして使用され、同様に、送信を行う場合、受信用バッファおよび送信用バッファはともに送信用バッファとして使用される。従って、本発明のシリアル通信方法およびシリアル通信コントローラによれば、全二重通信で使用される場合、従来のシリアル通信コントローラと全く同様に動作することは勿論、半二重通信の受信または送信で使用される場合、それぞれ受信用バッファまたは送信用バッファの個数を倍増することができるため、より高速な通信レートに対応することができるばかりでなく、割り込み処理によるオーバヘッドを削減してCPUを効率良く使用することができる。

【0024】

【実施例】以下に、添付の図面に示す好適実施例に基づいて、本発明のシリアル通信方法およびシリアル通信コントローラを詳細に説明する。

【0025】図1は、本発明のシリアル通信コントローラの一実施例のブロック図である。このシリアル通信コントローラ10は、受信部となる受信用シフトレジスタ12および受信用バッファ14a、14b、14c、14dと、CPUインターフェース16と、送信部となる送信用バッファ18a、18b、18c、18dおよび送信用シフトレジスタ20と、切換え手段22とを有している。なお、受信用バッファおよび送信用バッファの個数は特に限定されるものではない。

【0026】このシリアル通信コントローラ10において、受信用シフトレジスタ12は、シリアルデータを所定ビット長のパラレルデータに変換する、いわゆるシリアル→パラレル変換器である。即ち、この受信用シフトレジスタ12にはシリアルデータである受信データが入力され、受信用シフトレジスタ12においてシリアル→パラレル変換され、受信用シフトレジスタ12から所定ビット長を有するパラレルデータとして出力される。

【0027】また、受信用バッファ14a～14dは、FIFO(First-In-First-out)形式のバッファである。即ち、これらの受信用バッファ14a～14dには、受信用シフトレジスタ12から出力されるパラレルデータが順次入力されて一時的に保持され、受信用バッファ14a～14dからパラレルデータが読み出される

場合には、入力された順番に応じて順次読み出される。

【0028】また、CPUインターフェース16は、このシリアル通信コントローラ10を制御するCPUと、このシリアル通信コントローラ10の内部回路とのやり取りを制御するものである。このCPUインターフェース16には、CPUから読み出し信号RD_および書き込み信号WR_が入力され、CPUインターフェース16からは割り込み要求信号INTがCPUに対して出力されている。また、CPUとのやり取りには外部データバス信号が双方向に用いられ、内部回路とのやり取りには内部データバス信号が双方向に用いられる。

【0029】また、送信用バッファ18a～18dは、受信用バッファ14a～14dと同様にFIFO形式のバッファである。即ち、これらの送信用バッファ18a～18dには、外部データバス、CPUインターフェース16および内部データバスを通して、CPUから入力されるパラレルデータが一時的に保持され、送信用バッファ18a～18dからパラレルデータが読み出される場合には、入力された順番に応じて順次読み出される。

【0030】また、送信用シフトレジスタ20は、所定ビット長のパラレルデータをシリアルデータに変換する、いわゆるパラレル→シリアル変換器である。即ち、この送信用シフトレジスタ20には、保持された順番に応じて送信用バッファ18a～18dから読み出されるパラレルデータが順次入力され、送信用シフトレジスタ20においてパラレル→シリアル変換され、送信用シフトレジスタ20からシリアルデータである送信データとして出力される。

【0031】最後に、切換え手段22は、このシリアル通信コントローラ10の通信方式を全二重通信、または半二重通信のいずれかに切り換えるものである。例えば、切換え手段22に入力される制御信号をハイレベルに設定することにより、このシリアル通信コントローラ10は全二重通信で使用され、逆にローレベルに設定することにより半二重通信で使用される。

【0032】なお、切換え手段22に入力される制御信号は、CPUから専用入力端子を通して入力される制御信号、あるいはCPUによりCPUインターフェース16を介してソフトウェア的に設定される内部制御レジスタから出力される制御信号などであるのが好ましい。

【0033】次に、本発明のシリアル通信方法および上述するシリアル通信コントローラ10の動作について説明する。

【0034】本発明のシリアル通信コントローラ10を全二重通信で使用するには、例えば切換え手段22に入力される制御信号としてハイレベルを設定する。これにより、このシリアル通信コントローラ10は全二重通信で使用され、即ち、受信用バッファ14a～14dは受信用バッファとして、また、送信用バッファ18a～18dは送信用バッファとして、それぞれ別々に用いられ

9

る。なお、本発明のシリアル通信コントローラ10を全二重通信で使用する場合の動作は、図5に示す従来のシリアル通信コントローラ60の動作と同一であるため、ここではその説明は省略する。

【0035】一方、本発明のシリアル通信方法を適用して、このシリアル通信コントローラ10を半二重通信で使用するには、切換え手段22に入力される制御信号としてローレベルを設定する。これにより、このシリアル通信コントローラ10は半二重通信で使用され、即ち、受信用バッファ14a～14dおよび送信用バッファ18a～18dは、図2に示すように、受信の場合には全て受信用バッファとして、また、図3に示すように、送信の場合には全て送信用バッファとして用いられる。

【0036】半二重通信の受信において、シリアルデータである受信データは受信用シフトレジスタ12に入力され、シリアル→パラレル変換されて所定ビット長、例えば8ビット長のパラレルデータに変換され、受信用バッファ14a～14dおよび送信用バッファ18a～18dに順次入力されて一時的に保持される。ここで、受信用バッファ14a～14dおよび送信用バッファ18a～18dに保持することができる最大個数、例えば図示例においては8個のパラレルデータが保持された場合、CPUインターフェース16からCPUに対して、受信データの読み出しを要求する割り込み要求信号INTが出力される。CPUは割り込み要求信号INTを受け取ると、メインルーチンから割り込みルーチンへ分岐し、読み出し信号RD_をアクティブ状態、例えばローレベルとして、受信用バッファ14a～14dおよび送信用バッファ18a～18dに保持されているパラレルデータを保持された順番に応じて、内部データバス、CPUインターフェース16および外部データバスを通して順次読み出した後、再度メインルーチンへ復帰する。このようにして受信データは受信される。

【0037】また、半二重通信の送信において、CPUはメインルーチンから割り込みルーチンへ分岐し、書き込み信号WR_をアクティブ状態、例えばローレベルとして、外部データバス、CPUインターフェースおよび内部データバスを通して、送信用バッファ18a～18dおよび受信用バッファ14a～14dに保持することができる最大個数、例えば図示例においては8個のパラレルデータを順次送信用バッファ18a～18dおよび受信用バッファ14a～14dに書き込んだ後、再度メインルーチンへ復帰する。送信用バッファ18a～18dおよび受信用バッファ14a～14dに書き込まれたパラレルデータは、書き込まれた順番に応じて順次読み出され、送信用シフトレジスタ20により、パラレル→シリアル変換されてシリアルデータである送信データとして出力される。ここで、送信用バッファ18a～18dおよび受信用バッファ14a～14dに書き込まれた全てのパラレルデータが読み出された場合、CPUインターフェース16からCPUに対して、次のパラレルデータの書き込みを要求する割り込み要求信号INTが出力される。このようにして送信データは送信される。

【0038】上述するように、本発明のシリアル通信方法を適用して、シリアル通信コントローラを半二重通信で使用する場合には、受信の時に送信用バッファをも受信用バッファとして、同様に、送信の時に受信用バッファをも送信用バッファとして使用することができる。このため、従来と同数の受信用および送信用バッファしか有していないにもかかわらず、従来の2倍の個数の受信用および送信用バッファとして使用することができる。

【0039】従って、本発明のシリアル通信方法によれば、新規に受信用および送信用バッファを追加するよりも少ないハードウェア規模で、高速な通信レートのシリアル通信に対応することができるし、逆に、通信レートが比較的低速である場合であっても、割り込みルーチンの処理によるオーバヘッドを削減してCPUを効率良く使用することができる。

【0040】次に、具体例を挙げて、本発明のシリアル通信方法およびシリアル通信コントローラをさらに具体的に説明する。

【0041】図4は、本発明のシリアル通信コントローラの一実施例の構成回路図である。このシリアル通信コントローラ30は、受信部となる受信用シフトレジスタ12、受信用バッファ14a、14b、14c、14d、受信用ライトポインタ28、受信用リードポインタ32およびマルチプレクサ34と、送信部となる送信用バッファ18a、18b、18c、18d、送信用シフトレジスタ20、送信用ライトポインタ40、送信用リードポインタ42およびマルチプレクサ44と、切換え手段となるセレクタ24a、24b、24c、24d、セレクタ26a、26b、26c、26d、セレクタ36a、36b、36c、36dおよびセレクタ38a、38b、38c、38dとから構成されている。

【0042】ここで、シリアルデータである受信データは受信用シフトレジスタ12に入力され、この受信用シフトレジスタ12の出力信号46はセレクタ24a～24dの入力端0およびセレクタ36a～36dの入力端1に入力されている。同様に、CPUからの入力信号48は、内部データバスを通してセレクタ36a～36dの入力端0およびセレクタ24a～24dの入力端1に入力されている。

【0043】また、受信用ライトポインタ28からはライトイネーブル信号R_WE0、R_WE1、R_WE2、R_WE3、R_WE4、R_WE5、R_WE6、R_WE7が出力され、それぞれセレクタ26a～26dの入力端0およびセレクタ38a～38dの入力端1に入力されている。同様に、送信用ライトポインタ40からはライトイネーブル信号T_WE0、T_WE1、T_WE2、T_WE3、T_WE4、T_WE5

11

5. T_WE 6, T_WE 7が出力され、それぞれセレクタ38a～38dの入力端0およびセレクタ26a～26dの入力端1に入力されている。

【0044】また、セレクタ24a～24dおよびセレクタ36a～36dの出力信号は、それぞれ受信用バッファ14a～14dおよび送信用バッファ18a～18dのデータ入力端に入力され、同様に、セレクタ26a～26dおよびセレクタ38a～38dの出力信号は、それぞれ受信用バッファ14a～14dおよび送信用バッファ18a～18dのライトイネーブル端WEに入力されている。また、セレクタ24a～24dおよびセレクタ26a～26dの選択端にはともに選択信号SEL_Rが入力され、同様に、セレクタ36a～36dおよびセレクタ38a～38dの選択端にはともに選択信号SEL_Tが入力されている。

【0045】また、受信用バッファ14a～14dからはパラレルデータR0, R1, R2, R3が出力され、これらのパラレルデータR0～R3はそれぞれマルチプレクサ34のデータ入力端0, 1, 2, 3およびマルチプレクサ44のデータ入力端4, 5, 6, 7に入力されている。同様に、送信用バッファ18a～18dからはパラレルデータT0, T1, T2, T3が出力され、これらのパラレルデータT0～T3はそれぞれマルチプレクサ44のデータ入力端0, 1, 2, 3およびマルチプレクサ34のデータ入力端4, 5, 6, 7に入力されている。

【0046】また、マルチプレクサ34の選択端には受信用リードポインタ32から出力される選択信号50が入力され、その出力信号は内部データバスに接続されている。同様に、マルチプレクサ44の選択端には送信用リードポインタ42から出力される選択信号52が入力され、その出力信号は送信用シフトレジスタ20に入力されている。そして、送信用シフトレジスタ20からはシリアルデータである送信データが出力されている。

【0047】このシリアル通信コントローラ30において、受信用シフトレジスタ12、受信用バッファ14a～14d、送信用シフトレジスタ20および送信用バッファ18a～18dは、図1に示すシリアル通信コントローラ10と同一のものであるから、ここではその説明は省略する。また、受信用ライトポインタ28および受信用リードポインタ32と、送信用ライトポインタ40および送信用リードポインタ42とは同様の機能を有するものであるため、ここでは受信用ライトポインタ28および受信用リードポインタ32についてのみ説明する。

【0048】まず、受信用ライトポインタ28は、受信用シフトレジスタ12から出力される出力信号46が保持される受信用バッファ14a～14dまたは送信用バッファ18a～18dを決定するライトイネーブル信号R_WE0～R_WE7を出力する。この受信用ライト

12

ポインタ28は、受信用シフトレジスタ12によりシリアル→パラレル変換が終了し、出力信号46が出力される毎にカウントアップされるカウンタを有しており、このカウンタの値に応じてライトイネーブル信号R_WE0～R_WE7の中の1つだけがアクティブ状態にされる。

【0049】なお、全二重通信の場合、上述するカウンタの値は‘0’～‘3’の範囲でカウントアップされ、‘3’の次は‘0’に初期化される。また、このカウンタの値‘0’～‘3’に応じて、ライトイネーブル信号R_WE0～R_WE3の中の1つがアクティブ状態にされる。同様に、半二重通信の場合、上述するカウンタの値は‘0’～‘7’の範囲でカウントアップされ、‘7’の次は‘0’に初期化される。また、このカウンタの値‘0’～‘7’に応じて、ライトイネーブル信号R_WE0～R_WE7の中の1つがアクティブ状態にされる。

【0050】また、受信用リードポインタ32は、受信用バッファ14a～14dから出力されるパラレルデータR0～R3および送信用バッファ18a～18dから出力されるパラレルデータT0～T3の中から、CPUにより読み出されるパラレルデータを選択する選択信号50を出力するものである。この受信用リードポインタ32は、受信用バッファ14a～14dおよび送信用バッファ18a～18dからパラレルデータが、CPUにより読み出される毎にカウントアップされるカウンタを有しており、このカウンタの値‘0’～‘7’に応じて、それぞれマルチプレクサ34のデータ入力端0～7に入力されているパラレルデータR0～R3およびパラレルデータT0～T3の中の1つが選択される。

【0051】なお、全二重通信の場合、上述するカウンタの値は‘0’～‘3’の範囲でカウントアップされ、‘3’の次は‘0’に初期化される。同様に、半二重通信の場合、上述するカウンタの値は‘0’～‘7’の範囲でカウントアップされ、‘7’の次は‘0’に初期化される。

【0052】次に、このシリアル通信コントローラ30の動作について説明する。

【0053】まず、このシリアル通信コントローラ30を全二重通信で使用するには、制御信号SEL_R, SEL_Tをともにローレベルに設定する。これにより、セレクタ24a～24d, セレクタ26a～26d, セレクタ36a～36dおよびセレクタ38a～38dは、入力端0に入力される信号が選択出力される。

【0054】即ち、受信用バッファ14a～14dのデータ入力端にはともに受信用シフトレジスタ12の出力信号46が入力され、そのライトイネーブル端WEにはそれぞれライトイネーブル信号R_WE0～R_WE3が入力される。同様に、送信用バッファ18a～18dのデータ入力端にはともに、CPUからの入力信号48

が内部データバスを通して入力され、そのライトイネーブル端WEにはそれぞれライトイネーブル信号T_WE 0～T_WE 3が入力される。

【0055】全二重通信の受信において、受信用シフトレジスタ12により、受信データがシリアル→パラレル変換されて出力信号46が出力される毎に、受信用ライトポイントタ28から出力されるライトイネーブル信号R_WE 0～R_WE 3はこの順番でアクティブ状態にされる。その結果、受信用シフトレジスタ12の出力信号46は、受信用バッファ14a～14dにこの順番で保持される。一方、CPUが受信用バッファ14a～14dに保持されているパラレルデータR0～R3を読み出す場合、CPUによりパラレルデータR0～R3が読み出される毎に、受信用リードポイントタ32から出力される選択信号50はその値が‘0’～‘3’の順番でカウントアップされる。その結果、パラレルデータR0～R3は、マルチプレクサ34によりこの順番で選択出力され、CPUにより内部データバスを通してこの順番で読み出される。

【0056】また、全二重通信の送信において、CPUからの入力信号48が入力される毎に、送信用ライトポイントタ40から出力されるライトイネーブル信号T_WE 0～T_WE 3はこの順番でアクティブ状態にされる。その結果、CPUからの入力信号48は、送信用バッファ18a～18dにこの順番で保持される。一方、送信用バッファ18a～18dに保持されているパラレルデータT0～T3が読み出される場合、パラレルデータT0～T3が読み出される毎に、送信用リードポイントタ42から出力される選択信号52はその値が‘0’～‘3’の順番でカウントアップされる。その結果、パラレルデータT0～T3は、マルチプレクサ44によりこの順番で選択出力され、この順番で送信用シフトレジスタ20によりパラレル→シリアル変換されて送信データとして出力される。

【0057】次に、このシリアル通信コントローラ30を半二重通信の受信で使用するには、制御信号SEL R, SEL Tをそれぞれローレベルおよびハイレベルに設定する。これにより、セレクタ24a～24d, セレクタ26a～26dは、入力端0に入力される信号が選択出力され、逆に、セレクタ36a～36dおよびセレクタ38a～38dは、入力端1に入力される信号が選択出力される。

【0058】即ち、受信用バッファ14a～14dのデータ入力端にはともに受信用シフトレジスタ12の出力信号46が入力され、そのライトイネーブル端WEにはそれぞれライトイネーブル信号R_WE 0～R_WE 3が入力される。同様に、送信用バッファ18a～18dのデータ入力端にはともに受信用シフトレジスタ12の出力信号46が入力され、そのライトイネーブル端WEにはそれぞれライトイネーブル信号R_WE 4～R_W

E 7が入力される。

【0059】半二重通信の受信において、受信用シフトレジスタ12により、受信データがシリアル→パラレル変換されて出力信号46が出力される毎に、受信用ライトポイントタ28から出力されるライトイネーブル信号R_WE 0～R_WE 7はこの順番でアクティブ状態にされる。その結果、受信用シフトレジスタ12の出力信号46は、受信用バッファ14a～14dおよび送信用バッファ18a～18dにこの順番で保持される。一方、10 CPUが受信用バッファ14a～14dに保持されているパラレルデータR0～R3および送信用バッファ18a～18dに保持されているパラレルデータT0～T3を読み出す場合、CPUによりパラレルデータR0～R3およびパラレルデータT0～T3が読み出される毎に、受信用リードポイントタ32から出力される選択信号50はその値が‘0’～‘7’の順番でカウントアップされる。その結果、パラレルデータR0～R3およびパラレルデータT0～T3は、マルチプレクサ34によりこの順番で選択出力され、CPUにより内部データバスを通してこの順番で読み出される。

【0060】次に、このシリアル通信コントローラ30を半二重通信の送信で使用するには、制御信号SEL R, SEL Tをそれぞれハイレベルおよびローレベルに設定する。これにより、セレクタ24a～24d, セレクタ26a～26dは、入力端1に入力される信号が選択出力され、逆に、セレクタ36a～36dおよびセレクタ38a～38dは、入力端0に入力される信号が選択出力される。

【0061】即ち、送信用バッファ18a～18dのデータ入力端にはともにCPUからの入力信号48が入力され、そのライトイネーブル端WEにはそれぞれライトイネーブル信号T_WE 0～T_WE 3が入力される。同様に、受信用バッファ14a～14dのデータ入力端にはともにCPUからの入力信号48が入力され、そのライトイネーブル端WEにはそれぞれライトイネーブル信号T_WE 4～T_WE 7が入力される。

【0062】半二重通信の送信において、CPUからの入力信号48が入力される毎に、送信用ライトポイントタ40から出力されるライトイネーブル信号T_WE 0～T_WE 7はこの順番でアクティブ状態にされる。その結果、CPUからの入力信号48は、送信用バッファ18a～18dおよび受信用バッファ14a～14dにこの順番で保持される。一方、送信用バッファ18a～18dに保持されているパラレルデータT0～T3および受信用バッファ14a～14dに保持されているパラレルデータR0～R3が読み出される場合、パラレルデータT0～T3およびパラレルデータR0～R3が読み出される毎に、送信用リードポイントタ42から出力される選択信号52はその値が‘0’～‘7’の順番でカウントアップされる。その結果、パラレルデータT0～T3

およびパラレルデータR0～R3は、マルチプレクサ4によりこの順番で選択出力され、この順番で送信用シフトレジスタ20によりパラレル→シリアル変換されて送信データとして出力される。

【0063】このように、シリアル通信コントローラ30においては、制御信号SEL.R, SEL.Tを適宜設定することにより、このシリアル通信コントローラ30の通信方式を全二重通信または半二重通信のいずれかに切り換えることができる。また、半二重通信で使用する場合、受信では送信用バッファ18a～18dをも受信用バッファとして使用することができ、同様に、送信では受信用バッファ14a～14dをも送信用バッファとして使用することができる。

【0064】

【発明の効果】以上詳細に説明した様に、本発明のシリアル通信方法およびシリアル通信コントローラにおいては、シリアルデータの通信方式が全二重通信または半二重通信のいずれかに切換えられるため、全二重通信で従来のシリアル通信コントローラと同一動作を行うことができることは勿論、さらに半二重通信の受信で受信用バッファおよび送信用バッファをともに受信用バッファとして使用することができ、同様に、送信でこれらのバッファをともに送信用バッファとして使用することができる。従って、本発明のシリアル通信方法およびシリアル通信コントローラによれば、新規に受信用および送信用バッファを追加するよりも少ないハードウェア規模で、受信用および送信用バッファを増加させることができ、より高速な通信レートに対応することができるとともに、割り込み処理によるオーバヘッドを削減して、CPUを効率良く使用することができる。

【図面の簡単な説明】

【図1】 本発明のシリアル通信コントローラの全二重通信における一実施例のブロック図である。

【図2】 本発明のシリアル通信コントローラの半二重通信の受信における一実施例のブロック図である。

【図3】 本発明のシリアル通信コントローラの半二重通信の送信における一実施例のブロック図である。

【図4】 本発明のシリアル通信コントローラの一実施例の構成回路図である。

【図5】 従来のシリアル通信コントローラの一例のブロック図である。

【符号の説明】

10, 30, 60 シリアル通信コントローラ

12 受信用シフトレジスタ

14a, 14b, 14c, 14d, …, 14n 受信用バッファ

16 CPUインターフェース

18a, 18b, 18c, 18d, …, 18n 送信用バッファ

20 送信用シフトレジスタ

22 切換え手段

24a, 24b, 24c, 24d, 26a, 26b, 26c, 26d, 36a, 36b, 36c, 36d, 38a, 38b, 38c, 38d セレクタ

28 受信用ライトポインタ

32 受信用リードポインタ

34, 44 マルチプレクサ

40 送信用ライトポインタ

42 送信用リードポインタ

46 出力信号

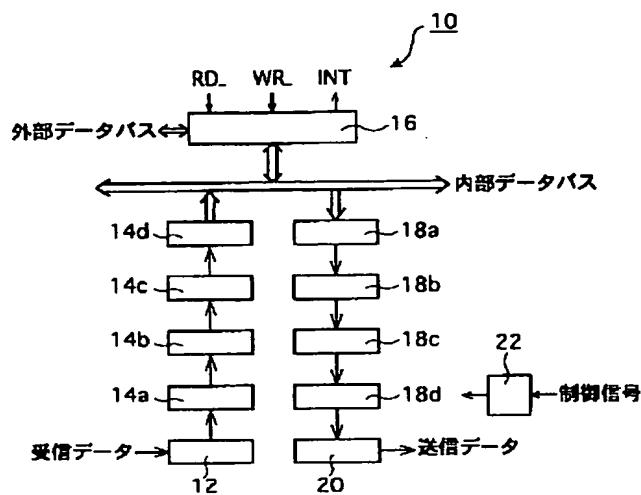
48 入力信号

50, 52, SEL.R, SEL.T 選択信号

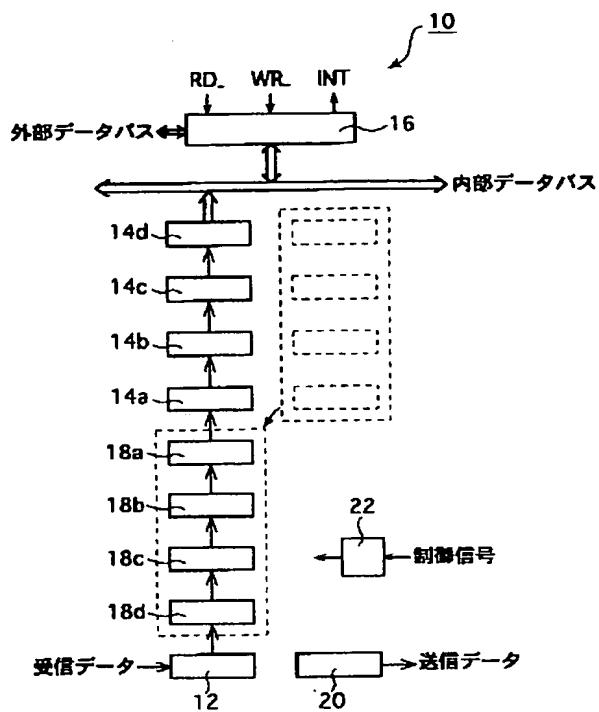
R_WE0, R_WE1, R_WE2, R_WE3, R_WE4, R_WE5, R_WE6, R_WE7, T_WE0, T_WE1, T_WE2, T_WE3, T_WE4, T_WE5, T_WE6, T_WE7 ライトイ

30 ネーブル信号
R0, R1, R2, R3, T0, T1, T2, T3 パラレルデータ

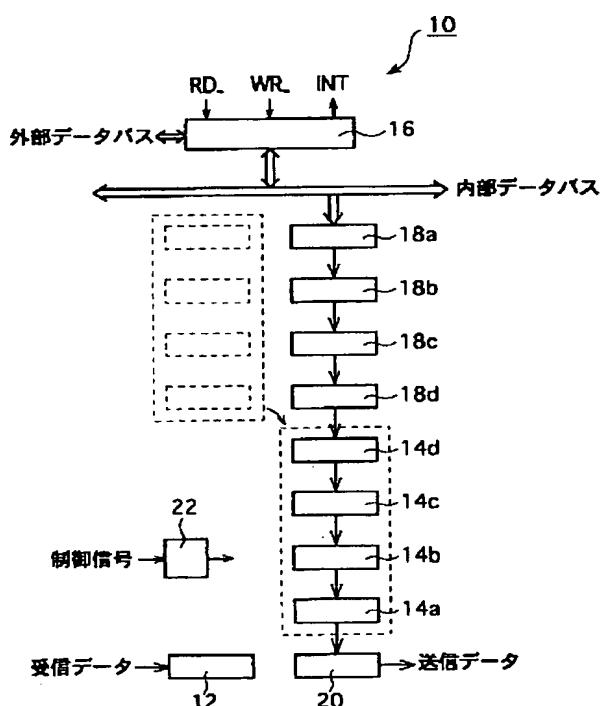
【図1】



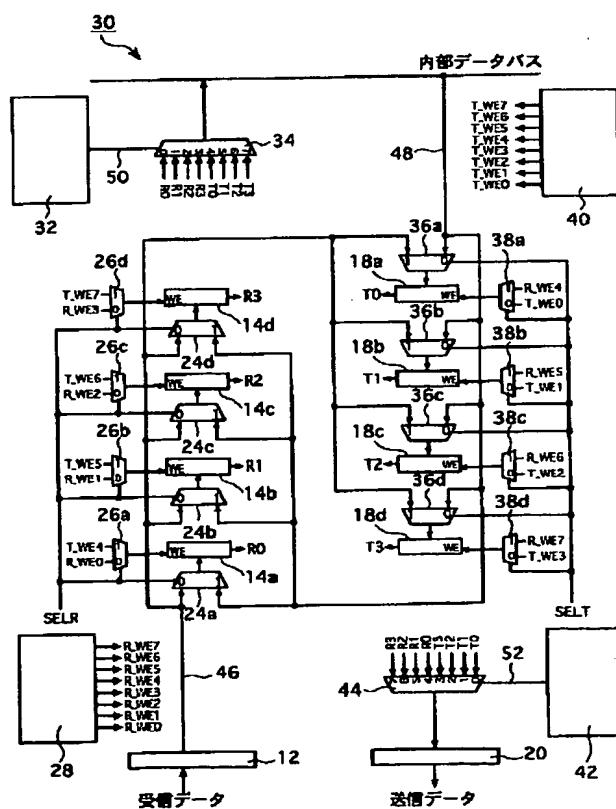
【図2】



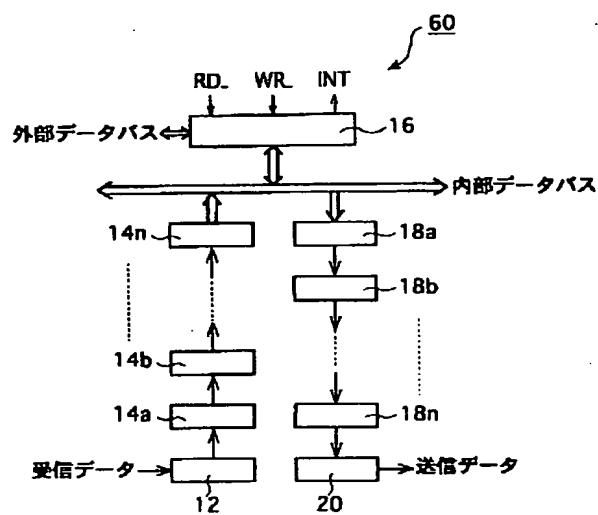
【図3】



【図4】



【図5】



フロントページの続き

(58)調査した分野(Int.Cl. 6, DB名)

H04L 29/08

H04L 5/14